

**Combined bipolar transistor and MOSFET amplifier for ECL-CMOS level shifting circuit uses two bipolar transistors with series MOSFETs between two opposing potentials providing amplifier inputs and outputs**

**Patent number:** DE4308518  
**Publication date:** 1993-09-30  
**Inventor:** KONDOH HARUFUSA (JP); OHBA ATSUSHI (JP)  
**Applicant:** MITSUBISHI ELECTRIC CORP (JP)  
**Classification:**  
- international: H03K19/0175; H03K5/02  
- european:  
**Application number:** DE19934308518 19930317  
**Priority number(s):** JP19920062153 19920318

Also published as

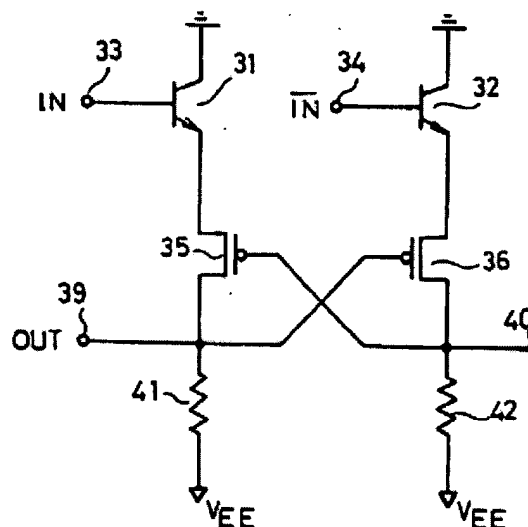
US537142  
JP526795

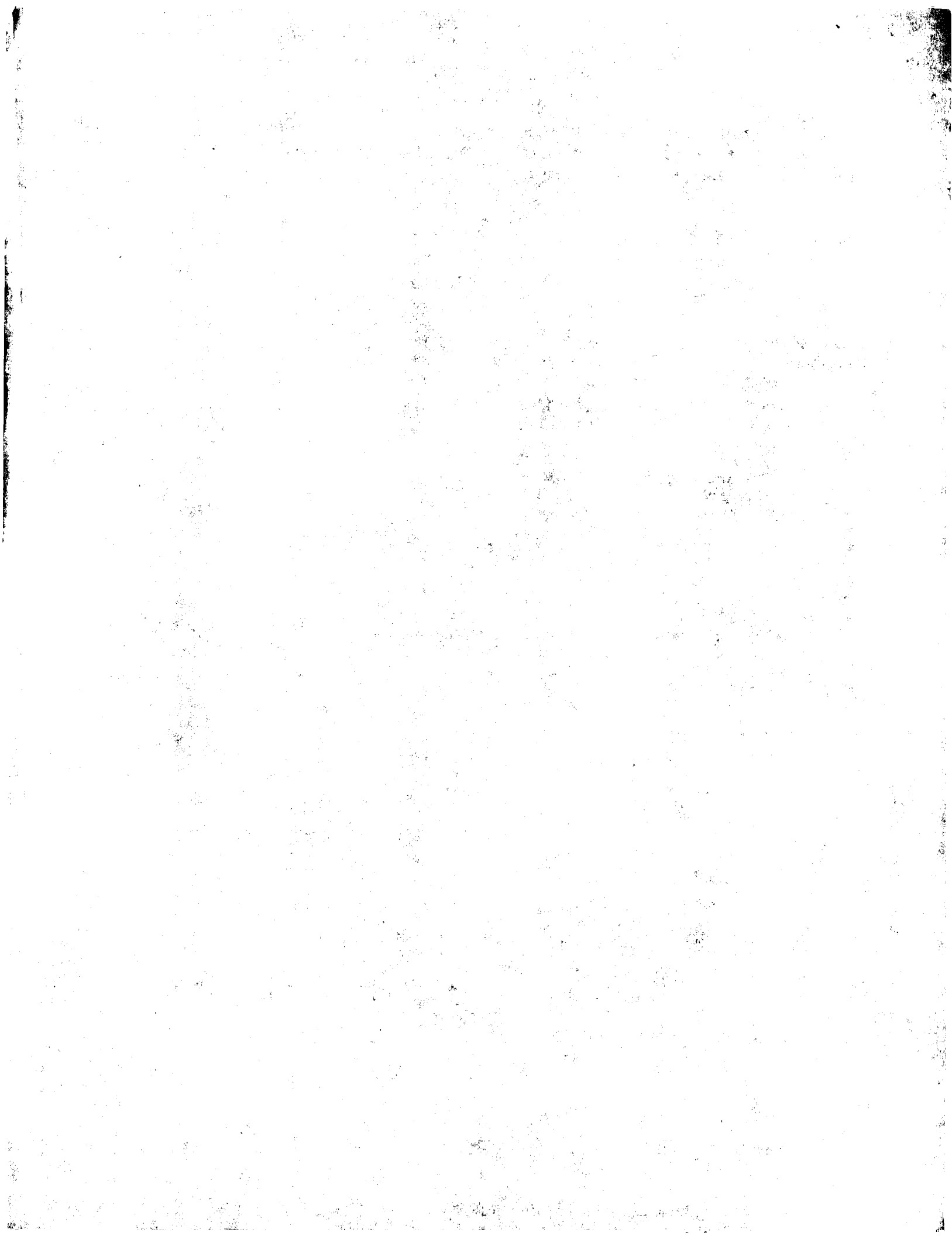
#### Abstract of DE4308518

The amplifier has two bipolar transistor (31-32) connected at their base and collector terminals to the amplifier inputs (33, 34) and a reference potential respectively. A respective MOSFET (35, 36) is coupled to the emitter of each bipolar transistor (31, 32) at its source, its drain coupled via an impedance (41, 42) to a second potential (VEE). The gate of each MOSFET is coupled to the drain of the other MOSFET, the amplifier outputs (39, 40) connected to the drain terminals.

The impedance (41, 42) may be provided by a further pair of MOSFET's each cross-coupled at its gate to the emitter of the opposing bipolar transistor.

ADVANTAGE - High operating rate and low current consumption.







⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenl gungsschrift**  
⑩ **DE 43 08 518 A 1**

⑤① Int. Cl.<sup>5</sup>: **D5**  
**H 03 K 19/0175**  
H 03 K 5/02

⑳ Aktenzeichen: P 43 08 518.0  
㉑ Anmeldetag: 17. 3. 93  
㉒ Offenlegungstag: 30. 9. 93

DE 43 08 518 A 1

③① Unionspriorität: ③② ③③ ③①

18.03.92 JP P 4-62153

㉗ Anmelder:

Mitsubishi Denki K.K., Tokio/Tokyo, JP

㉘ Vertreter:

Tiedtke, H., Dipl.-Ing.; Bühling, G., Dipl.-Chem.;  
Kinne, R., Dipl.-Ing.; Pellmann, H., Dipl.-Ing.; Grams,  
K., Dipl.-Ing., Pat.-Anwälte, 80336 München

㉙ Erfinder:

Kondoh, Harufusa, Itami, Hyogo, JP; Ohba, Atsuhi,  
Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ BiMOS-Verstärker

⑤⑦ Ein BiMOS-Verstärker enthält eine Stufe, die sowohl die Funktion einer pegelanhebenden Trennstufe als auch einer Verstärkerstufe ausführen kann. Die Verstärkerstufe enthält erste und zweite Bipolartransistoren, deren Basiskontakte mit einem ersten und zweiten Eingangsanschluß, deren Kollektorkontakte mit einem auf einem ersten Potential liegenden Punkt, und deren Emitterkontakte mit den Sourcekontakten eines ersten und zweiten MOS-Transistors verbunden sind. Die Drainkontakte des ersten und zweiten MOS-Transistors sind über entsprechende Impedanzen mit einem auf einem zweiten Potential liegenden Punkt verbunden. Der Gatekontakt jedes MOS-Transistors ist mit dem Drainkontakt des anderen MOS-Transistors verbunden. Ein Ausgangsanschluß ist mit dem Drainkontakt mindestens eines MOS-Transistors verbunden.

DE 43 08 518 A 1

Die Erfindung bezieht sich auf einen BiMOS-Verstärker, der kombinierte bipolare und MOS-Elemente enthält.

Fig. 1 zeigt ein Beispiel einer bekannten ECL-CMOS-Pegelkonvertierungsschaltung. Diese Schaltung ist dargestellt als Fig. 3 in einem von T. Shiomi und anderen verfaßten Artikel "64K  $\times$  1 BICMOS ECL RAM with Cross Coupled Level Conversion Circuit", Seite 532-540 aus "The Journal of The Institute of Electronics and Communication Engineers of Japan", Ausgabe J74-C-II, Nr. 6, Juni 1991.

Die in Fig. 1 gezeigte ECL-CMOS-Pegelkonvertierungsschaltung umfaßt eine Eingangsstufe 1, eine Trennstufe 2, eine Verstärkerstufe 3 und eine Treiberstufe 4. Diese Stufen werden mit einer auf das Massepotential bezogenen Spannung, im Folgenden  $V_{EE}$  genannt, versorgt. Die Eingangsstufe 1 enthält Stromquellen 5 und 6, die Trennstufe Stromquellen 7 und 8. Die Eingangsstufe 1 enthält des weiteren einen bipolaren Eingangstransistor 9 und zwei als Differenzverstärker geschaltete Transistoren 10 und 11. Ein Eingangsanschluß 12 ist mit der Basis des Eingangstransistors 9 verbunden. Der Eingangsanschluß 12 wird mit einem ECL-Pegel-Signal zwischen z. B.  $-0,8$  V und  $-1,8$  V von einer externen ECL integrierten Schaltung gespeist.

Das an den Eingangsanschluß 12 angelegte Signal wird im Differenzverstärker, der aus den beiden Transistoren 10 und 11 besteht, mit einer extern angelegten konstanten Vorspannung  $V_{BB}$  verglichen. Differentialausgänge, die über Lastwiderstände 13 bzw. 14 weitergeführt werden, sind mit den Basiskontakten von Bipolartransistoren 15 bzw. 16 der Trennstufe verbunden. Die Bipolartransistoren 15 und 16 heben den Signalpegel an ihren Basiskontakten um die Basis-Emitter-Spannung  $V_{BE}$ , d. h. um ungefähr 0,7 V, in Richtung  $V_{EE}$  an und leiten die angehobenen Signale an PMOS(p-Kanal-MOS)-Transistoren 17 bzw. 18 der Verstärkerstufe 3 weiter.

Die Verstärkerstufe 3 enthält die PMOS-Transistoren 17 und 18 sowie eine Stromspiegelschaltung, die aus NMOS(n-Kanal MOS)-Transistoren 19 und 20 besteht. Die Verstärkerstufe 3 wandelt entsprechend den angelegten Signalen ein verstärktes Signal in ein einseitig geerdetes um und führt das verstärkte Signal an die Treiberstufe 4 weiter, die einen BICMOS-Treiber darstellt. Die Treiberstufe 4 enthält eine CMOS-Schaltung, die eine Reihenschaltung aus einem PMOS-Transistor 21 und einem NMOS-Transistor 22, die zwischen einem auf Masse und einem auf  $V_{EE}$  liegenden Potentialpunkt geschaltet sind, zwei NMOS-Transistoren 24 und 25, die in Reihe zwischen einem Ausgangsanschluß 23 und einem auf  $V_{EE}$  liegenden Potentialpunkt geschaltet sind, und zwei Bipolartransistoren 26 und 27 umfaßt, die in Reihe zwischen einem auf Massepotential und einem auf  $V_{EE}$  liegenden Potentialpunkt geschaltet sind. Der Ausgangsanschluß 23 ist mit dem Knotenpunkt zwischen dem Emitterkontakt des Bipolartransistors 26 und dem Kollektorkontakt des Bipolartransistors 27 verbunden.

Die Gatekontakte des PMOS-Transistors 21 und der NMOS-Transistoren 22 und 24 sind zusammen mit dem Ausgang der Verstärkerstufe 3 verbunden. Die Drainkontakte des PMOS-Transistors 21 und des NMOS-Transistors 22 sind sowohl miteinander als auch mit dem Basiskontakt des Bipolartransistors 26 und dem Gatekontakt des NMOS-Transistors 25 verbunden. Der Ba-

siskontakt des Bipolartransistors 27 ist an den Knotenpunkt zwischen den NMOS-Transistoren 24 und 25 angeschlossen. Ein am Ausgangsanschluß 23 der Treiberstufe 4 anliegendes Ausgangssignal wird zur Steuerung einer Vielzahl von Gattern einer LSI-Schaltung verwendet. Die Trennstufe 2 wird verwendet, um Signalreflexionen zu vermeiden, die durch Signalüberkopplungen aufgrund von Streukapazitäten hervorgerufen werden könnten; ebenso hat die Trennstufe 2 die Aufgabe, die zuvor dargelegte Pegelanhebung zu bewerkstelligen, um die PMOS-Transistoren 17 und 18 der Verstärkerstufe 3 vollständig anzuschalten.

Betrachtet man im einzelnen die Trennstufe 2 und die Verstärkerstufe 3 des in Fig. 1 gezeigten gebräuchlichen BiMOS-Verstärkers, so ist ersichtlich, daß in diesen beiden Stufen vier Gleichstrompfade zwischen einem auf Masse und einem auf  $V_{EE}$  liegenden Potentialpunkt vorhanden sind. Das hat jedoch zum Nachteil, daß dadurch der Stromverbrauch in diesen beiden Stufen ansteigt.

Es ist daher Aufgabe der Erfindung, einen BiMOS-Verstärker mit verringertem Stromverbrauch bereitzustellen, der mit hoher Geschwindigkeit betrieben werden kann und insbesondere für den Gebrauch innerhalb einer ECL-CMOS-Pegelkonvertierungsschaltung geeignet ist.

Diese Aufgabe wird gelöst durch einen BiMOS-Verstärker nach einem erfindungsgemäßen Ausführungsbeispiel, der einen ersten und zweiten Eingangsanschluß umfaßt, um komplementäre Eingangssignale aufnehmen zu können, und einen ersten Bipolartransistor, dessen Basiskontakt mit dem ersten Eingangsanschluß und dessen Kollektorkontakt mit einem auf einem ersten Potential liegenden Punkt verbunden ist, und einen zweiten Bipolartransistor, dessen Basiskontakt mit dem zweiten Eingangsanschluß und dessen Kollektorkontakt mit dem ersten Potentialpunkt verbunden ist. Ein erster MOS-Transistor ist mit seinem Sourcekontakt an den Emitterkontakt des ersten Bipolartransistors angeschlossen und mit seinem Drainkontakt über eine erste Impedanz an einen auf einem zweiten Potential liegenden Punkt. Ein zweiter MOS-Transistor ist mit seinem Sourcekontakt an den Emitteranschluß des zweiten Bipolartransistors angeschlossen und mit seinem Drainkontakt über eine zweite Impedanz an den zweiten Potentialpunkt. Der Gatekontakt des ersten MOS-Transistors ist mit dem Drainkontakt des zweiten MOS-Transistors, der Gatekontakt des zweiten MOS-Transistors ist mit dem Drainkontakt des ersten MOS-Transistors verbunden. Ein Ausgangssignal kann an einem oder an beiden Drainkontakten des ersten und zweiten MOS-Transistors abgegriffen werden.

Innerhalb des erfindungsgemäßen BiMOS-Verstärkers heben Bipolartransistoren, die Eingangsschaltungen bilden, nicht nur den Signalpegel an, sondern steuern auch MOS-Transistoren, die in Serie zu den Bipolartransistoren geschaltet sind und Ausgangsschaltungen bilden. Daher kann in der erfindungsgemäßen BiMOS-Verstärkereinrichtung eine einzelne Stufe sowohl pegelanhebende als auch verstärkende Funktionen ausführen, wodurch der Stromverbrauch reduziert wird.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben. Es zeigen:

Fig. 1 ein Schaltbild einer gebräuchlichen Pegelkonvertierungsschaltung,

Fig. 2 ein Schaltbild eines ersten erfindungsgemäßen Ausführungsbeispiels eines BiMOS-Verstärkers,

Fig. 3 ein Schaltbild eines zweiten erfindungsgemä-

Ben Ausführungsbeispiels eines BiMOS-Verstärkers,

Fig. 4 ein Schaltbild eines dritten erfindungsgemäßen Ausführungsbeispiels eines BiMOS-Verstärkers,

Fig. 5 ein Schaltbild einer ECL-CMOS-Pegelkonvertierungsschaltung, die den BiMOS-Verstärker des ersten Ausführungsbeispiels verwendet,

Fig. 6 ein Schaltbild eines vierten erfindungsgemäßen Ausführungsbeispiels eines BiMOS-Verstärkers, und

Fig. 7 Verläufe von Ausgangsspannungen und Ausgangsströme der ersten und zweiten erfindungsgemäßen Ausführungsform des BiMOS-Verstärkers, denen der Verlauf der Leiterausgangsspannung und des Ausgangsstromes der Trenn- und Verstärkerstufe der gebräuchlichen in Fig. 1 dargestellten Pegelkonvertierungsschaltung gegenübergestellt ist.

Fig. 2 zeigt die Darstellung einer ersten erfindungsgemäßen Ausführungsform eines BiMOS-Verstärkers. In Fig. 2 ist der Basiskontakt eines ersten z. B. npn-Bipolartransistors 31, der eine Eingangsschaltung bildet, mit einem ersten Eingangsanschluß 33 verbunden. Der Kollektorkontakt des Bipolartransistors 31 ist mit einem auf einem ersten Potential, z. B. Masse, liegenden Punkt verbunden. Der Emitterkontakt des ersten Bipolartransistors 31 ist mit dem Sourcekontakt eines ersten PMOS-Transistors 35, der eine Ausgangsschaltung bildet, verbunden. Der PMOS-Transistor 35 ist über seinen Drainkontakt mit dem Drainkontakt eines ersten NMOS-Transistors 37, der als Impedanz wirkt, verbunden. Der Sourcekontakt des ersten NMOS-Transistors 37 ist mit einem auf einem zweiten Potential  $V_{EE}$  liegenden Punkt verbunden.

Ein zweiter npn-Bipolartransistor 32, ein zweiter PMOS-Transistor 36 und ein zweiter NMOS-Transistor 38 sind in gleicher Weise zwischen dem ersten auf Masse liegenden Potentialpunkt und dem zweiten auf  $V_{EE}$  liegenden Potentialpunkt in Reihe verschaltet. Der Basiskontakt des zweiten Bipolartransistors 32 ist mit einem zweiten Eingangsanschluß 34 verbunden, der mit einem gegenüber dem am ersten Eingangsanschluß 33 angelegten Signal komplementären Eingangssignal gespeist wird.

Der Gatekontakt des ersten PMOS-Transistors 35 ist mit dem Drainkontakt des zweiten PMOS-Transistors 36, und der Gatekontakt des zweiten PMOS-Transistors 36 ist mit dem Drainkontakt des ersten PMOS-Transistors 35 verbunden. Der Gatekontakt des ersten NMOS-Transistors 37 ist mit dem Emitterkontakt des zweiten Bipolartransistors 32, und der Gatekontakt des zweiten NMOS-Transistors 38 mit dem Emitterkontakt des ersten Bipolartransistors 31 verbunden. Ein erster Ausgangsanschluß 39 ist an die untereinander verbundenen Drainkontakte des ersten PMOS-Transistors 35 und des ersten NMOS-Transistors 37 angeschlossen. Ein zweiter Ausgangsanschluß 40 ist an die untereinander verbundenen Drainkontakte des zweiten PMOS-Transistors 36 und des zweiten NMOS-Transistors 38 angeschlossen.

Es sei angenommen, daß an die Eingangsanschlüsse 33 bzw. 34 des in Fig. 2 dargestellten BiMOS-Verstärkers komplementäre Eingangssignale EIN und EIN mit einer Amplitude von ca. 1 V angelegt werden. Ein eingeschalteter Bipolartransistor weist eine Basis-Emitter-Spannung  $V_{BE}$  von ca. 0,7 V auf. Entsprechend wird ein Signal mit einer Amplitude von 1 V, dessen Pegel um ca. 0,7 V in Richtung  $V_{EE}$  angehoben ist, an die Sourcekontakte der beiden PMOS-Transistoren 35 und 36 angelegt, die Ausgangsschaltungen bilden.

Liegt z. B. das Eingangssignal EIN am ersten Ein-

gangsanschluß 33 auf hohem Pegel, im folgenden H genannt, so liegt das am zweiten Eingangsanschluß 34 angelegte Eingangssignal EIN auf niedrigem Pegel, im folgenden L genannt. In diesem Fall ist der erste PMOS-Transistor 35 leitend und es sperrt der zweite PMOS-Transistor 36. Des weiteren sperrt der erste NMOS-Transistor 37 und der zweite NMOS-Transistor 38 leitet. Dadurch entsteht am ersten Ausgangsanschluß 39 ein Ausgangssignal AUS auf dem Pegel H, während am zweiten Ausgangsanschluß 40 ein zum ersten Ausgangssignal komplementäres Ausgangssignal AUS mit dem Pegel L abgegriffen werden kann. Wird hingegen an den ersten Eingangsanschluß 33 ein Eingangssignal EIN mit dem Pegel L und am zweiten Eingangsanschluß ein Eingangssignal EIN mit dem Pegel H angelegt, so weisen entsprechend die Ausgangssignale AUS bzw. AUS der Ausgangsanschlüsse 39 bzw. 40 die Pegel L bzw. H auf. In diesem Fall kann die Amplitude des entsprechenden Ausgangsanschlusses annähernd durch  $V_{EE} - V_{BE} - \alpha$  bestimmt werden, wobei mit  $\alpha$  eine durch den Widerstand eines eingeschalteten PMOS-Transistors bestimmte Spannung im Bereich 0,5–1,0 V bezeichnet wird.

Wie bereits erwähnt, arbeitet der BiMOS-Verstärker nach Fig. 2, der nur zwei Gleichstrompfade enthält, nicht nur als Pegelanhebung und Trennstufe, sondern auch als Verstärker, wodurch Stromfluß und damit auch Stromverbrauch reduziert werden. Außerdem wird die Betriebsgeschwindigkeit aufgrund der verringerten Stufenanzahl erhöht.

In Fig. 3 wird ein zweiter erfindungsgemäßer BiMOS-Verstärker dargestellt, die der in Fig. 2 dargestellten ähnlich ist, mit der Ausnahme, daß Widerstände 41 und 42 als Impedanzen verwendet werden, um die Drainkontakte der PMOS-Transistoren 35 und 36 mit dem zweiten Potentialpunkt  $V_{EE}$  zu verbinden. Der BiMOS-Verstärker nach Fig. 3 funktioniert grundsätzlich in der gleichen Art und Weise wie die in Fig. 2 gezeigte Verstärkervorrichtung.

Fig. 4 zeigt ein drittes erfindungsgemäßes Ausführungsbeispiel eines BiMOS-Verstärkers. Der BiMOS-Verstärker nach Fig. 4 enthält dieselbe Schaltung wie das erste in Fig. 2 dargestellte Ausführungsbeispiel. Zusätzlich sind die untereinander verbundenen Drainkontakte des ersten PMOS-Transistors 35 und des ersten NMOS-Transistors 37 bzw. des zweiten PMOS-Transistors 36 und des zweiten NMOS-Transistors 38 über NMOS-Transistoren 46 bzw. 45 mit PMOS-Transistoren 48 bzw. 47 verbunden, die eine Stromspiegelschaltung bilden, um die Betriebsgeschwindigkeit zu erhöhen. Eine konstante Vorspannung BIAS einer (nicht dargestellten) Vorspannungsquelle ist dabei an die Gatekontakte der NMOS-Transistoren 45 und 46 angelegt.

Für Fig. 4 sei angenommen, daß Ströme  $I_{C1}$  und  $I_{C2}$  über die MOS-Transistoren 38 bzw. 37, Ströme  $I_{21}$  und  $I_{11}$  über die MOS-Transistoren 35 bzw. 36, und Ströme  $I_{10}$  und  $I_{20}$  über die MOS-Transistoren 45 bzw. 46 fließen. Als Zusammenhang zwischen diesen Strömen ergibt sich:

$$I_{C1} = I_{10} + I_{11} \quad (1)$$

$$I_{C2} = I_{20} + I_{21} \quad (2)$$

Besitzt das am ersten Eingangsanschluß 33 anliegende Eingangssignal EIN den Pegel H und das am zweiten Eingangsanschluß 34 anliegende Eingangssignal EIN den Pegel L und ist  $I_{21} > I_{C2}$  und  $I_{11} = 0 < I_{C1}$ , dann folgt aus den Gleichungen (1) und (2):

$$I_{10} = I_{C1} - I_{11} = I_{C1} \quad (3)$$

$$I_{20} = I_{C2} - I_{21} < 0 \quad (4)$$

(In einigen Fällen kann der NMOS-Transistor 46 ausgeschaltet sein.)

Aus den Gleichungen (3) und (4) folgt  $I_{10} > I_{20}$ .

Da die PMOS-Transistoren 47 und 48 eine Stromspiegel-Schaltung bilden, ist Strom  $I_{48}$ , der über den PMOS-Transistor 48 fließt, gleich Strom  $I_{10}$ , so daß  $I_{10} = I_{C1}$  in eine mit dem Ausgangsanschluß 49 extern verbundene Last fließt, wobei der Ausgangsanschluß 49 an den Knotenpunkt der MOS-Transistoren 46 und 48 angeschlossen ist. Dieser Strom lädt eine Lastkapazität auf, was eine Ausgangsspannung mit hohem Pegel H zur Folge hat. Ist  $EIN = L$  und  $EIN = H$ ,  $I_{11} > I_{21}$  und  $I_{21} = 0 < I_{C2}$ , dann gilt:

$$I_{10} = I_{C1} - I_{11} < 0 \quad (5)$$

$$I_{20} = I_{C2} - I_{21} = I_{C2} \quad (6)$$

Wird der NMOS-Transistor 37 eingeschaltet, so wird auch der NMOS-Transistor 46 leitend, wodurch Strom  $I_{20}$ , der genauso groß wie  $I_{C2}$  ist, von der Last über den Ausgangsanschluß 49 und die NMOS-Transistoren 46 und 37 fließen kann. Damit wird die Lastkapazität entladen, wodurch die Ausgangsspannung den Pegel L annimmt. Auf diese Weise wird ein verstärktes Ausgangssignal mit erhöhtem Pegel am Ausgangsanschluß 49 gemäß den in Fig. 2 und 3 gezeigten Ausführungsbeispielen bereitgestellt.

Es soll darauf hingewiesen werden, daß ein die Verstärkung einstellender Widerstand zwischen die Drainkontakte der PMOS-Transistoren 35 und 36 des in Fig. 4 dargestellten erfindungsgemäßen BiMOS-Verstärkers eingebaut werden kann.

Fig. 5 stellt eine ECL-CMOS-Pegelkonvertierungsschaltung da, die einen entsprechend dem in Fig. 2 gezeigten ersten Ausführungsbeispiel aufgebauten BiMOS-Verstärker verwendet. Die Schaltung nach Fig. 5 enthält eine Eingangsstufe 1 und eine Treiberstufe 4, die der Eingangsstufe 1 bzw. der Treiberstufe 4 der in Fig. 1 gezeigten gebräuchlichen Pegelkonvertierungsschaltung entsprechen. Die in Fig. 5 gezeigte ECL-CMOS-Pegelkonvertierungsschaltung verwendet einen BiMOS-Verstärker 52, der dem in Fig. 2 dargestellten BiMOS-Verstärker entspricht. Der zweite Ausgangsanschluß 40 der in Fig. 5 gezeigten Schaltung, der ein Ausgangssignal AUS bereitstellt, ist mit der Treiberstufe 4 verbunden. Wie bereits erwähnt, führt der BiMOS-Verstärker 52 sowohl die Funktion der Trennstufe 2 als auch die der Verstärkerstufe 3 der bekannten Pegelkonvertierungsschaltung in Fig. 1 aus. Da der BiMOS-Verstärker 52 als Trenn- und Verstärkerstufe verwendet wird, die einen verringerten Stromverbrauch aufweist, verbraucht auch die ECL-CMOS-Pegelkonvertierungsschaltung in Fig. 5 weniger Strom als die bekannte in Fig. 1 dargestellte Schaltung.

Fig. 6 zeigt die Darstellung eines vierten erfindungsgemäßen Ausführungsbeispiels eines BiMOS-Verstärkers, das die gleiche Schaltung wie die in Fig. 3 gezeigte Ausführungsform aufweist. Zusätzlich sind zwischen dem Emitterkontakt des Bipolartransistors 31 und dem Sourcekontakt des PMOS-Transistors 35 bzw. zwischen dem Emitterkontakt des Bipolartransistors 32 und dem Sourcekontakt des PMOS-Transistors 36 Widerstände 55 bzw. 56 zum Einstellen der Pegeländerung zwischen-geschaltet. Die Widerstände 41 und 42 sind gewöhnlich mit einer Stromquelle 57 verbunden.

In dem BiMOS-Verstärker gemäß Fig. 6 kann der Verstärkungsfaktor durch Veränderung der Werte der Widerstände 41 und 42 und von Strom I, der von der Stromquelle 57 geliefert wird, bestimmt werden; die Höhe der Pegeländerung kann über die Einstellung der Stromstärke I und der Werte der Widerstände 55 und 56 gesteuert werden. Auch diese Schaltung weist einen reduzierten Stromverbrauch auf.

Fig. 7 zeigt die Ergebnisse von Experimenten, bei denen Änderungen der Leitungsausgangsspannung  $V_0$  und des Gesamtstromes  $I_p$  der Trennstufe 2 und der Verstärkerstufe 3 der gebräuchlichen Pegelkonvertierungsschaltung nach Fig. 1 gemessen wurden bei Veränderung eines Eingangssignals  $SEIN$ . Des weiteren wurden Änderungen der Ausgangsspannung  $V_1$  und des Stromes  $I_1$  der erfindungsgemäßen Schaltung nach Fig. 2 bzw. Änderungen der Ausgangsspannung  $V_2$  und des Stromes  $I_2$  der erfindungsgemäßen Schaltung nach Fig. 3 gemessen bei Änderung der Eingangsspannung. Weist das Eingangssignal  $SEIN$  den Pegel L auf, so beträgt, wie aus Fig. 7 hervorgeht, der Gesamtstrom  $I_p$  der Trennstufe 2 und der Verstärkerstufe 3 der gebräuchlichen Pegelkonvertierungsschaltung ungefähr 1,2 mA, während der Strom  $I_1$  ca. den Wert 0,6 mA und der Strom  $I_2$  ca. den Wert 0,8 mA annimmt. Der Stromfluß wird also infolge der Erfindung auf 1/2 bzw. 2/3 des Stromes der gebräuchlichen Schaltung reduziert, wodurch der Stromverbrauch verringert wird. Experimente zeigten auch, obwohl in Fig. 7 nicht aufgeführt, daß die in Fig. 4 und 6 dargestellten erfindungsgemäßen Ausführungsbeispiele im wesentlichen die gleichen Strom- und Stromverbrauchswerte wie die Ausführungsbeispiele in Fig. 2 und 3 aufweisen.

Wie bereits erwähnt, kann mit dem erfindungsgemäßen BiMOS-Verstärker eine pegelanhebende Trennstufe und eine Verstärkerstufe einer gebräuchlichen Pegelkonvertierungsschaltung in einer Stufe mit einer verringerten Anzahl von Gleichstrompfaden zusammengefaßt werden, wodurch der Stromfluß und Stromverbrauch reduziert werden kann. Des weiteren arbeitet die Schaltung aufgrund der verringerten Stufenzahl schneller.

Ein BiMOS-Verstärker enthält eine Stufe, die sowohl die Funktion einer pegelanhebenden Trennstufe als auch einer Verstärkerstufe ausführen kann. Die Verstärkerstufe enthält erste und zweite Bipolartransistoren, deren Basiskontakte mit einem ersten und zweiten Eingangsanschluß, deren Kollektorkontakte mit einem auf einem ersten Potential liegenden Punkt, und deren Emitterkontakte mit den Sourcekontakten eines ersten und zweiten MOS-Transistors verbunden sind. Die Drainkontakte des ersten und zweiten MOS-Transistors sind über entsprechende Impedanzen mit einem auf einem zweiten Potential liegenden Punkt verbunden. Der Gatekontakt jedes MOS-Transistors ist mit dem Drainkontakt des anderen MOS-Transistors verbunden. Ein Ausgangsanschluß ist mit dem Drainkontakt mindestens eines MOS-Transistors verbunden.

#### Patentansprüche

1. BiMOS-Verstärker, gekennzeichnet durch, einen ersten und einen zweiten Eingangsanschluß (33 bzw. 34), einen ersten Bipolartransistor (31), dessen Basiskontakt mit dem ersten Eingangsanschluß und dessen Kollektorkontakt mit einem auf einem ersten Potential liegenden Punkt verbunden ist,

einen zweiten Bipolartransistor (32), dessen Basiskontakt mit dem zweiten Eingangsanschluß und dessen Kollektorkontakt mit einem auf dem ersten Potential liegenden Punkt verbunden ist, einen ersten MOS-Transistor (35), dessen Sourcekontakt mit dem Emitterkontakt des ersten Bipolartransistors und dessen Drainkontakt über eine erste Impedanz (41) mit einem auf einem zweiten Potential liegenden Punkt verbunden ist, einen zweiten MOS-Transistor (36), dessen Sourcekontakt mit dem Emitterkontakt des zweiten Bipolartransistors und dessen Drainkontakt über eine zweite Impedanz (42) mit einem auf dem zweiten Potential liegenden Punkt verbunden ist, wobei der Gatekontakt jedes MOS-Transistors mit dem Drainkontakt des anderen MOS-Transistors verbunden ist, und einen Ausgangsanschluß (40), der zumindest mit einem Drainkontakt des ersten oder zweiten MOS-Transistors verbunden ist.

2. BiMOS-Verstärkervorrichtung nach Anspruch 1, gekennzeichnet dadurch, daß die erste bzw. zweite Impedanz durch einen dritten (37) bzw. vierten MOS-Transistor (38) dargestellt wird, wobei der Gatekontakt des dritten MOS-Transistors mit dem Emitterkontakt des zweiten Bipolartransistors und der Gatekontakt des vierten MOS-Transistors mit dem Emitterkontakt des ersten Bipolartransistors verbunden ist.

3. BiMOS-Verstärkervorrichtung nach Anspruch 1, gekennzeichnet dadurch, daß die erste und zweite Impedanz durch Widerstände dargestellt werden.

4. BiMOS-Verstärkervorrichtung nach Anspruch 1, gekennzeichnet dadurch, daß eine Stromspiegelschaltung zwischen die Drainkontakte des ersten und zweiten MOS-Transistors und einem auf dem ersten Potential liegenden Punkt geschaltet ist.

5. BiMOS-Verstärkervorrichtung nach Anspruch 1, gekennzeichnet dadurch, daß eine Stromspiegelschaltung zwischen die Drainkontakte des ersten und zweiten MOS-Transistors und einem auf dem ersten Potential liegenden Punkt geschaltet ist und ein Widerstand, der den Verstärkungsfaktor einstellt, zwischen die Drainkontakte des ersten und zweiten MOS-Transistors geschaltet ist.

16. BiMOS-Verstärkervorrichtung, gekennzeichnet durch, einen ersten und einen zweiten Eingangsanschluß, einen ersten Bipolartransistor, dessen Basiskontakt mit dem ersten Eingangsanschluß und dessen Kollektorkontakt mit einem auf einem ersten Potential liegenden Punkt verbunden ist, einen zweiten Bipolartransistor, dessen Basiskontakt mit dem zweiten Eingangsanschluß und dessen Kollektorkontakt mit einem auf dem ersten Potential liegenden Punkt verbunden ist, einen ersten MOS-Transistor, dessen Sourcekontakt mit dem Emitterkontakt des ersten Bipolartransistors über einen ersten Widerstand verbunden ist, der die Pegeländerung einstellt, und dessen Drainkontakt mit einem Ende eines ersten Widerstandes verbunden ist, der den Verstärkungsfaktor einstellt, einen zweiten MOS-Transistor, dessen Sourcekontakt mit dem Emitterkontakt des zweiten Bipolartransistors über einen zweiten Widerstand verbunden ist, der die Pegeländerung einstellt, und dessen Drainkontakt mit einem Ende eines zweiten Wider-

standes verbunden ist, der den Verstärkungsfaktor einstellt, eine gewöhnliche Stromquelle, die zwischen die entsprechenden anderen Enden des ersten und zweiten Widerstandes, die den Verstärkungsfaktor einstellen, und einem auf einem zweiten Potential liegenden Punkt geschaltet ist, und einen Ausgangsanschluß, der zumindest mit einem Drainkontakt des ersten und zweiten MOS-Transistors verbunden ist.

Hierzu 5 Seite(n) Zeichnungen

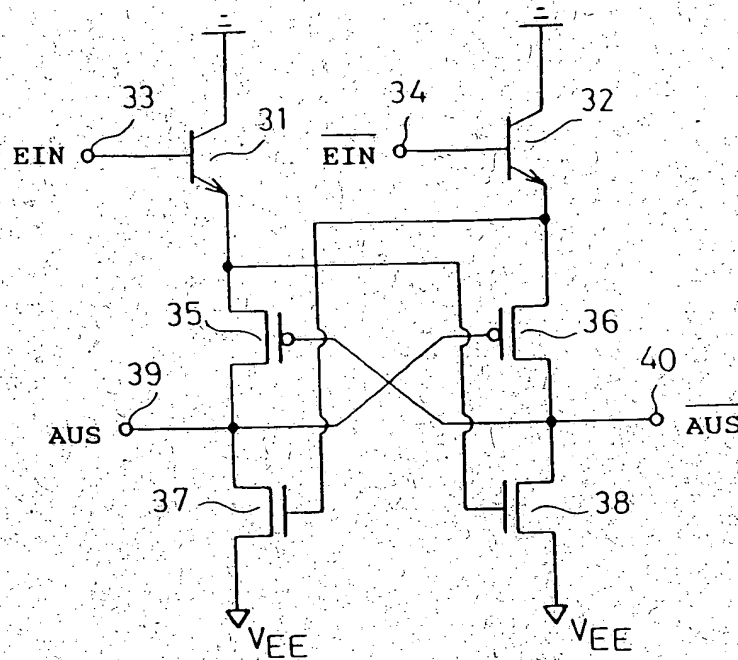


FIG. 2

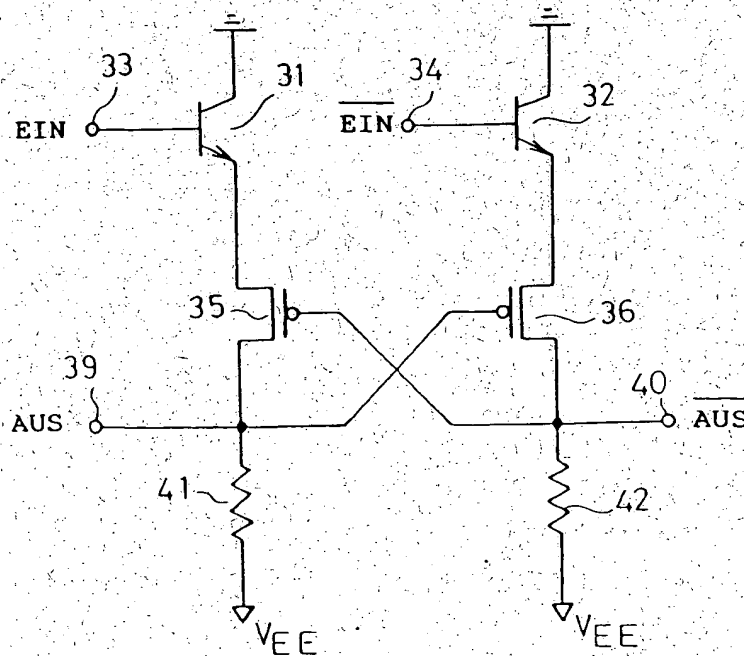


FIG. 3



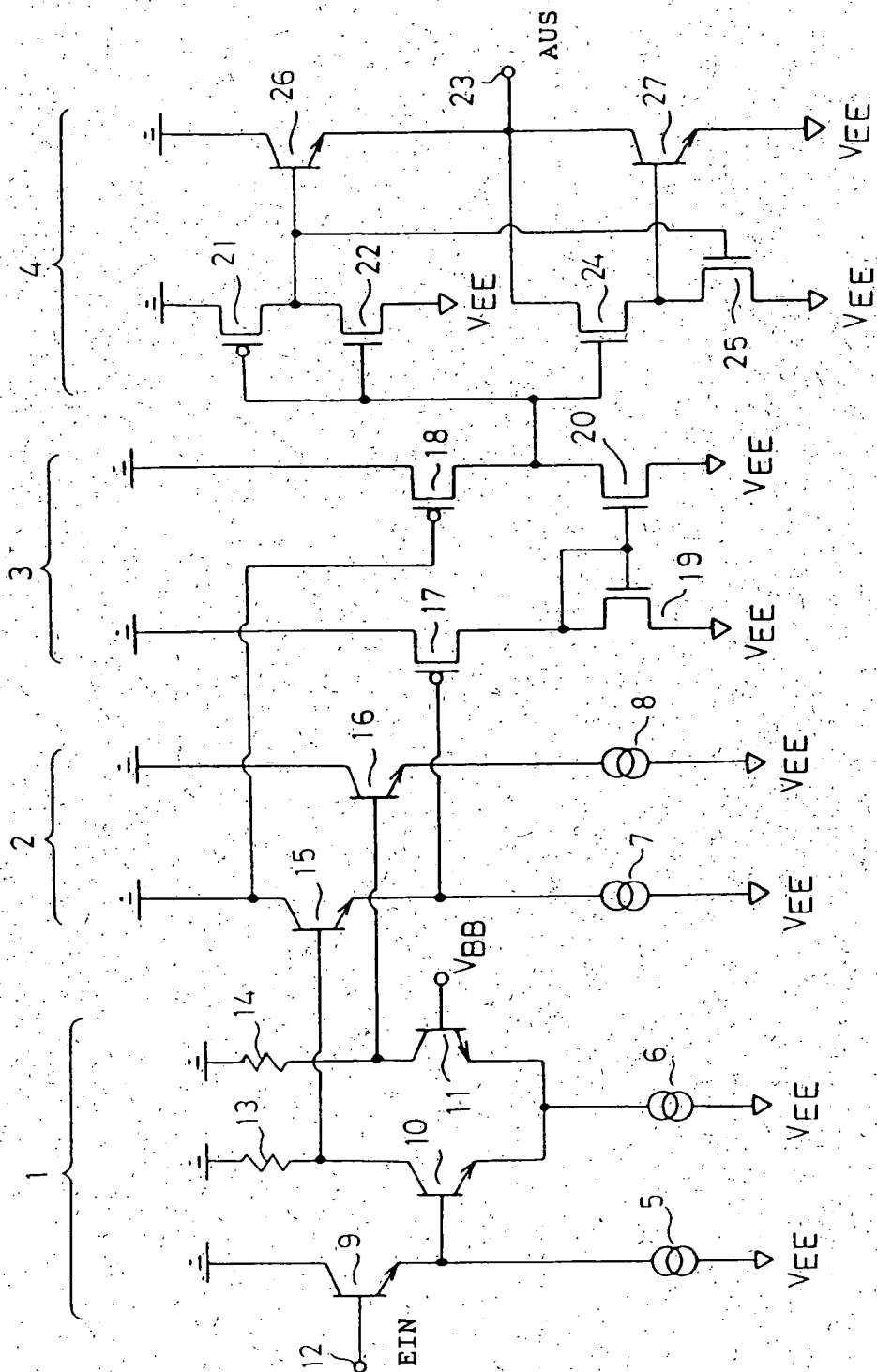


FIG. 1 STAND DER TECHNIK

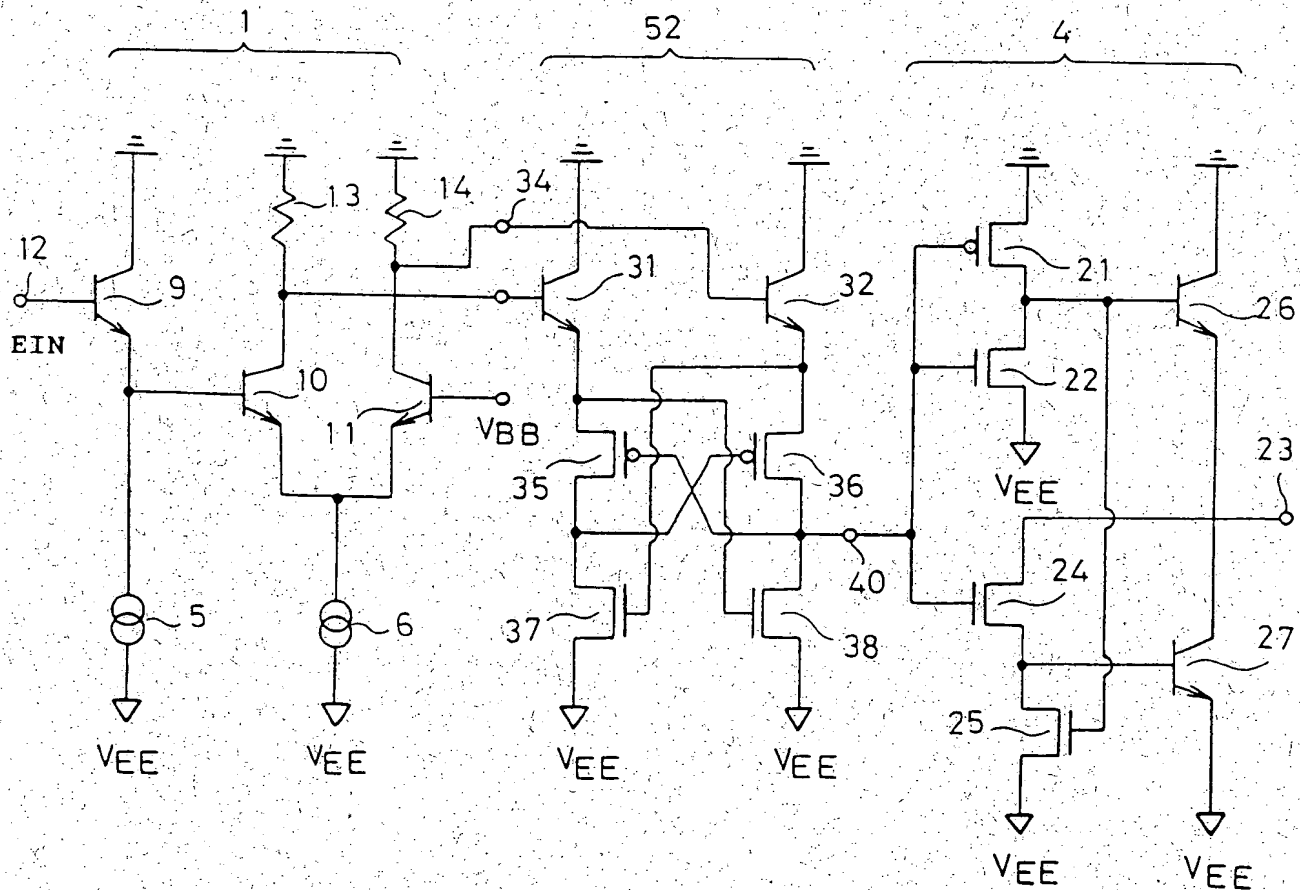


FIG. 5

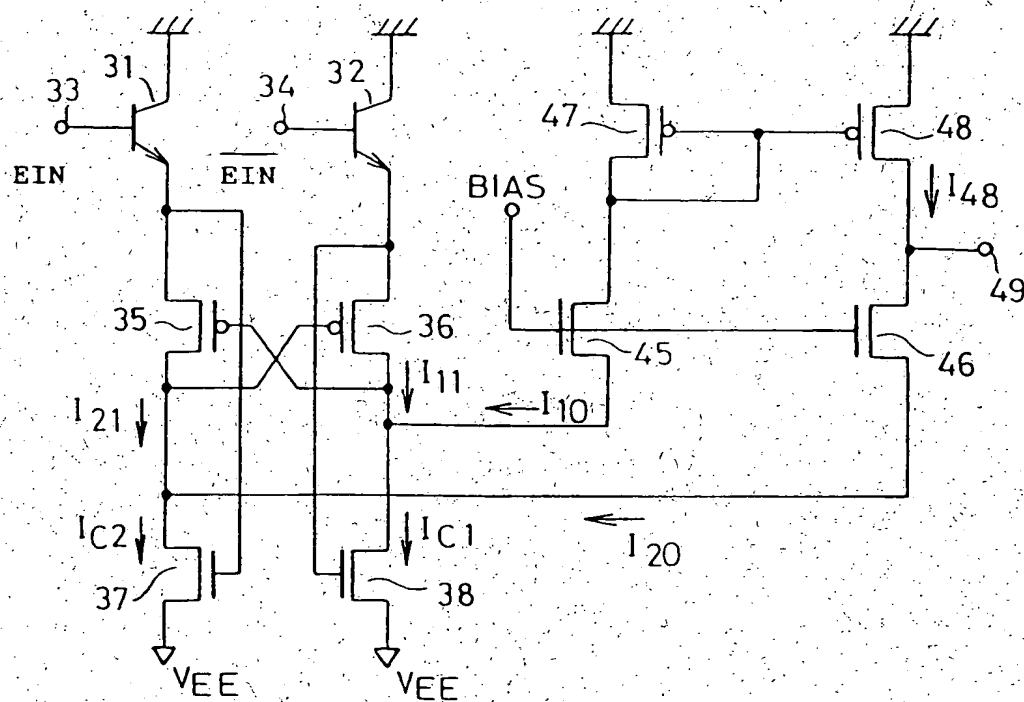


FIG. 4

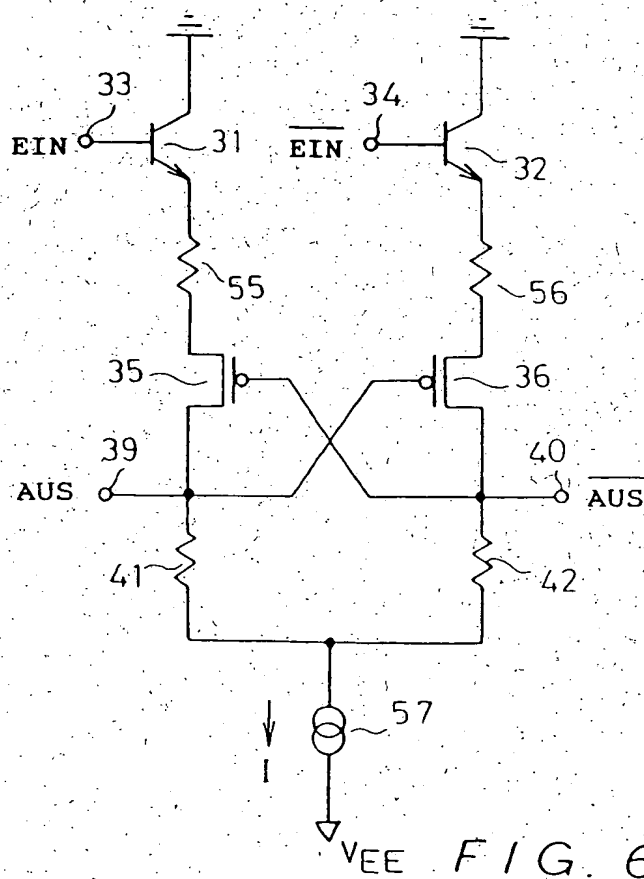


FIG. 6

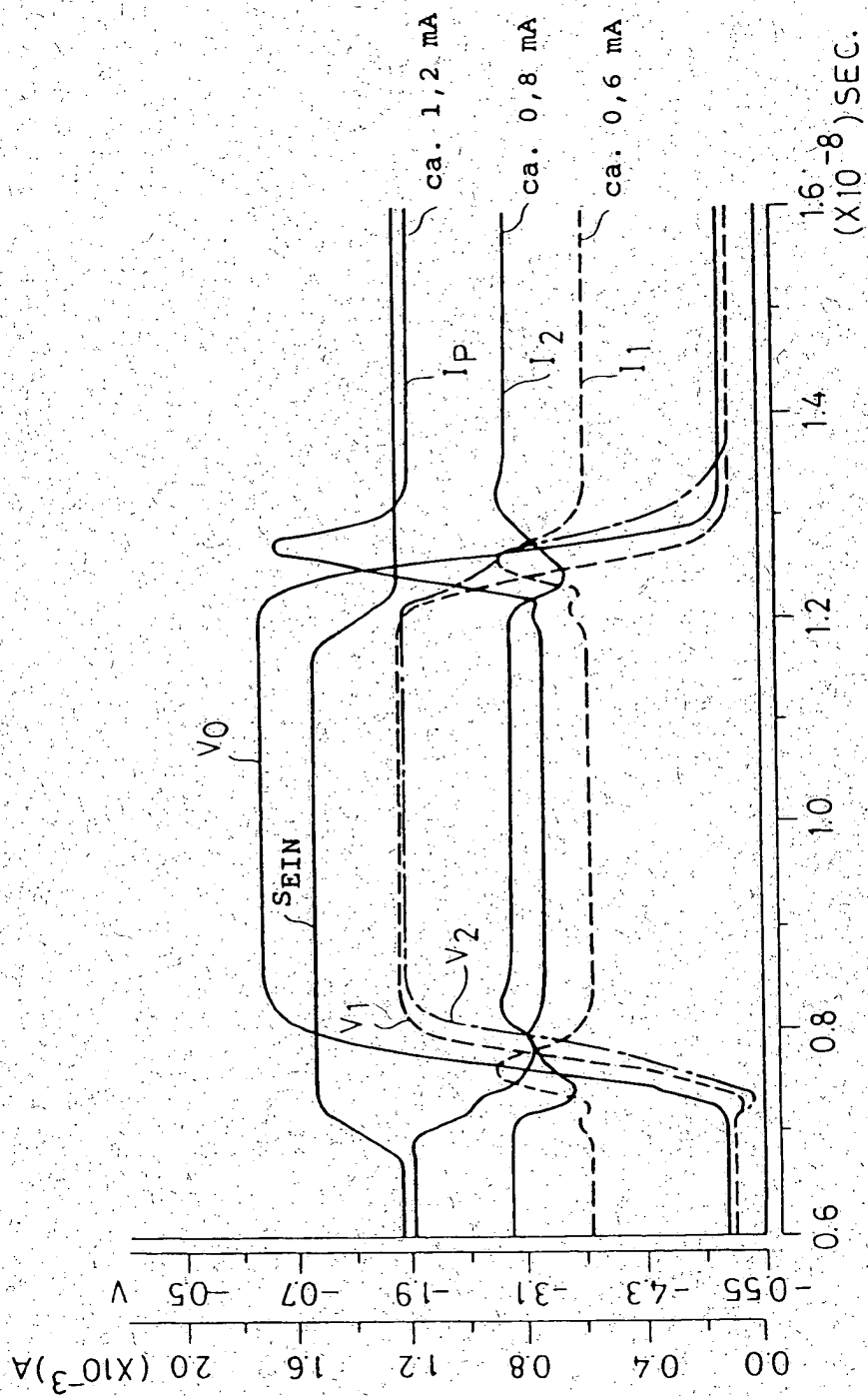


FIG. 7